

FIG. 1 is a circuit diagram according to the present embodiment. In the drawing, 1 is an IC card comprising a memory 3 having a write control input circuit 2. The memory 3 is composed of, e.g., an EEPROM or the like which allows erasing and rewriting till a write protect process is performed.

4 is a fuse circuit inserted between the output terminal of the write control input circuit 2 (the control input terminal of the memory 3) and a power supply terminal V_c . 5 is an earth circuit inserted between the input terminal of the write control input circuit 2 and the earth to be disconnectable at the position of the cut-off line 6 of the IC card 1 which is indicated by the broken line. Alternatively, the earth circuit 5 may also be disconnected by perforating a hole from immediately thereabove.

7 is an inverter composing the write control input circuit 2 mentioned above. 8 is a transistor embedded on the output side of the inverter 7 to have a collector connected to the output terminal and an emitter connected to the earth.

In such a structure, when the lower left corner portion of the IC card 2 is cut away along the card cut-off line 6, the earth circuit 5 is disconnected. When the IC card 1 is inserted in a device after the disconnection of the earth circuit 5, the potential at the input of the inverter 7 rises from the earth potential so that the logic value "1" is applied from the power supply terminal V_c to the inverter 7. This brings the transistor 8 embedded in the inverter 7 into a no-bias condition so that an overcurrent flows from the power supply terminal V_c to the earth via the fuse circuit 4 and the transistor 8. As a result, the fuse of the fuse circuit 4 is blown before the breakdown of the transistor 8.

Accordingly, the logic value "0" representing write protection is imparted to the output of the inverter 7 so that writing becomes impossible even though data is inputted. Thus, a rewrite protect process is executed through simple mechanical disconnection of the earth circuit 5.

In addition to the means for cutting away the corner portion of the IC card described above, a technology which disconnects the earth circuit 5 by perforating a hole in the circuit from immediately thereabove can also be used to disconnect the earth circuit 5.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-108099

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)5月19日

B 42 D 15/02
G 06 K 19/007008-2C
P-6711-5B

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 ICカード

⑯ 特 願 昭60-249594

⑰ 出 願 昭60(1985)11月6日

⑱ 発 明 者 杉 本 和 央 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 柁 貞一

明 細 書

1. 発明の名称

ICカード

2. 特許請求の範囲

書き込み制御入力回路(2)を有するメモリ(3)を具備してなるICカード(1)において、

前記書き込み制御入力回路(2)にヒューズ回路(4)を設けると共に、

機械的な切断が行われたとき前記ヒューズ回路(4)を断とし、前記書き込み制御入力回路(2)の出力を書き込み不可状態とするアース回路(5)を設けたことを特徴とするICカード。

3. 発明の詳細な説明

(概要)

ICカードの書き替え禁止処理を簡単なアース回路の切断により容易に行えるようにしたものである。

(産業上の利用分野)

本発明はICカードに係り、特に書き替え禁止処理を容易に実行可能としたICカードに関する。

近年磁気カードより遙かに記憶容量のあるICカードが普及しつつある。しかしながら磁気カードと同様に適当な装置があれば記録内容の書き替えは容易に行えるものが多い。

ICカードの用途によっては、その記録内容の書き替えを禁止しなければならないものがある。

例えば証書、通達文書等がある。書き替えを禁止するためにはマイクロCPU等をICカードに搭載し、プログラムの判断機能により不正な書き替えを防止しているが、搭載回路が複雑となるので簡便な書き替え禁止処理方法の開発が望まれている。

(従来の技術)

従来のICカードに搭載するメモリの一つにヒューズ式ROMが知られている。これはマトリックス回路にヒューズを備えたビットメモリを用い、

特開昭62-108099 (2)

ヒューズを溶断することにより書き込みを行う方式であって一度書き込むと溶断したビットを訂正することはできない。

したがってヒューズ式ROMを用いて書き替え禁止のデータ記録を行うためには、最終データが出来上がるまで別の記録媒体にデータを入れておく不便がある。

この欠点を補うROMとして光学的に消去可能なEPROMあるいは電気的に消去可能なEEPROMが知られている。これらのROMは適当な装置があれば消去、再書き込みが可能となる。EEPROMを記憶素子とするICカードではそのカードにマイクロCPUを内蔵せしめ、プログラムにより不正な書き替えを防止している。

(本発明が解決しようとする問題点)

前記ヒューズ式ROMでは別の記録媒体を伴う不便があり、かつ部分的に溶断されていないビットが溶断される可能性が残る欠点があり、また、EPROMあるいはEEPROMは適当な装置が

あれば消去、再書き込みが可能となり不正な書き替えを防止できない欠点がある。

マイクロCPUを内蔵するICカードは高価となる欠点がある。

本発明は上記従来の欠点に鑑みて創作されたもので、書き替え禁止処理を容易に実行可能な簡便なアース回路を具備するICカードの提供を目的とする。

(問題点を解決するための手段)

本発明のICカードは第1図に示すように、書き込み制御入力回路2 (Highレベルで書き込み可、Lowレベルで書き込み禁止状態と定義されているものとする) を有するメモリ3を具備してなるICカード1において、前記書き込み制御入力回路2にヒューズ回路4を設けると共に、機械的な切断が行われたとき前記ヒューズ回路4を断とし、前記書き込み制御入力回路2の出力を書き込み不可状態とするアース回路5を設けたことを特徴とする。

(作用)

アース回路5を破線で示すカード切断線6の位置でICカード1の角部と共に切断除去すると、書き込み制御入力回路2のインバータ7の入力側はアース電位から浮き上がり、供電端子Vcから論理値“1”が印加される。これによりインバータ7の内蔵するトランジスタ8はノーバイアスとなるため、供電端子Vcからヒューズ回路4とトランジスタ8を介して過電流がアースに流れ、ヒューズ回路4は溶断される。

この結果インバータ7の出力側は書き込み不可を表す論理値“0”となり書き込み禁止状態となる。したがって書き替えは不可能となる。

(実施例)

以下本発明の実施例を図面によって詳述する。なお、構成、動作の説明を理解し易くするために全図を通じて同一部分には同一符号を付してその重複説明を省略する。

第1図は本実施例の回路図を示す。図において、

1はICカードであって書き込み制御入力回路2を有するメモリ3を具備している。メモリ3は書き込み禁止処理がなされるまでは消去、再書き込みが可能な例えばEEPROM等で構成される。

4はヒューズ回路で書き込み制御入力回路2の出力端(メモリ3の制御入力端)と供電端子Vcとの間に挿入されている。5はアース回路であって書き込み制御入力回路2の入力端とアースとの間に挿入され、かつ破線で示すICカード1の切断線6の位置で切断できるように構成されている。あるいはアース回路5の直上から穴を打ち抜いて切断してもよい。

7は前記書き込み制御入力回路2を構成するインバータ、8はインバータ7の出力側に内蔵されたトランジスタでコレクタが出力端子に、エミッタがアースに接続されている。

このような構成において、ICカード2の左下角部をカード切断線6から切断除去すると、アース回路5は切断される。このアース回路5が切断された後ICカード1を装置に挿入するとインバー

特開昭62-108099 (3)

タ7の入力側はアース電位から浮上がり、該インバータ7には供電端子Vcから論理値“1”が印加される。これによりインバータ7の内蔵するトランジスタ8は、ノーバイアスとなるため供電端子Vcからヒューズ回路4とトランジスタ8を介して過電流がアースに流れる。この結果ヒューズ回路4のヒューズはトランジスタ8が破壊される前に熔断される。

これによって、インバータ7の出力側は書き込み不可を表す論理値“0”となる。したがってデータを入力しても書き込みは不可能となる。すなわち書き替え禁止処理が簡単なアース回路5の機械的切断により実行されることになる。

なお、アース回路5の切断は前記したICカード1の角部を切断除去する手段の他に同回路の真上から穴を打ち抜いて切断する手法も適用できる。

第2図は本発明応用実施例の回路図を示す。図において、11はパッケージに封入された例えばデュアルインライン形のピンを有するICであってROMを内蔵するICカードの変形を示す。12は

ICソケット、13はプリント板等を示す。このようにパッケージ形の場合には第1図におけるアース回路5に相当する機能を特定のピン14に割り付けし、ピン14がICソケット12に挿入されている間はICソケット12を介してアースと接続され、書き込み禁止処理は特定のピン14をパッケージの付け根から折り取ることにより成立する。

(本発明の効果)

以上詳細に説明したように本発明のICカードによれば、書き替え禁止処理が簡単に実行可能で低コストかつ高信頼性のICカードが実現できる。

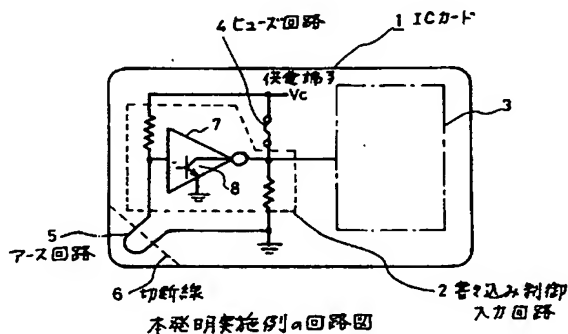
4. 図面の簡単な説明

第1図は本発明実施例の回路図、

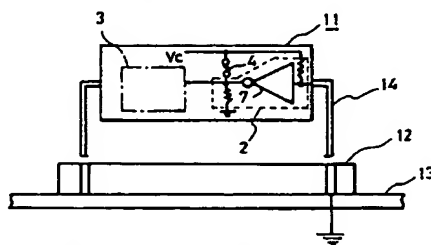
第2図は本発明応用実施例の回路図を示す。

図において、1はICカード、2は書き込み制御入力回路、3はメモリ、4はヒューズ回路、5はアース回路をそれぞれ示す。

代理人 弁理士 井 桁 貞 一



第1図



第2図